

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03019342 A

(43) Date of publication of application: 28.01.91

(51) Int. Cl.

H01L 21/3205

(21) Application number: 01153676

(71) Applicant: SONY CORP

(22) Date of filing: 16.06.89

(72) Inventor: SUMI HIROBUMI

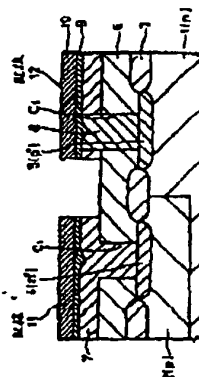
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To contrive the simplification of a manufacturing process and the improvement of the reliability of wirings by a method wherein first and second apertures are formed in parts, which respectively correspond to first and second conductivity type semiconductor regions, of an insulating film, a second conductivity type semiconductor film is formed, the second conductivity type semiconductor film is etched back until a first conductivity type semiconductor film is exposed, a conductor film is formed and the conductor film and the first conductivity type semiconductor film are etched until the insulating film is exposed.

CONSTITUTION: A contact hole C_1 is formed in a part, which corresponds to a semiconductor region 4, of an interlayer insulating film 6. Then, an N-type polycrystalline silicon film 7, for example, is formed on the whole surface. Then, a contact hole C_2 is formed in parts, which correspond to a semiconductor region 5, of the films 7 and 6. Then, a P-type polycrystalline silicon film 8, for example, is formed on the whole surface. Then, the film 8 is etched back until the film 7 is at least exposed. Then, a TiN film 9 and an Al film 10, for example, are formed in order on the whole surface. Then, the films 10, 9 and 7 are patterned into a prescribed form by being subjected to anisotropic etching in order until the film 6 is exposed.

COPYRIGHT: (C)1991 JPO&Japlo



公開特許公報(A) 平3-19342

⑫ Int. Cl.³

発明記号

庁内整理番号

⑬ 公開 平成3年(1991)1月28日

H 01 L 21/3205

6810-5F H 01 L 21/85
6810-5F

K
P

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-153678

⑯ 出 願 平1(1989)6月18日

⑰ 発 明 者 角 博 文 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑲ 代 理 人 弁理士 杉浦 正知

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

第1導電型の半導体領域及び第2導電型の半導体領域が形成された半導体基板上に絶縁膜を形成する工程と、

上記絶縁膜のうちの上記第1導電型の半導体領域に対応する部分に第1の開口を形成する工程と、

第1導電型の半導体膜を形成する工程と、

上記第1導電型の半導体膜及び上記絶縁膜のうちの上記第2導電型の半導体領域に対応する部分に第2の開口を形成する工程と、

第2導電型の半導体膜を形成する工程と、

少なくとも上記第1導電型の半導体膜が露出するまで上記第2導電型の半導体膜をエッチバックする工程と、

導体膜を形成する工程と、

上記導体膜及び上記第1導電型の半導体膜を少なくとも上記絶縁膜が露出するまでエッチングす

ることによりパターンニングを行う工程とを具備することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の製造方法に関し、特に、高集積の半導体集積回路装置の製造に適用して好適なものである。

(発明の概要)

本発明は、半導体装置の製造方法において、第1導電型の半導体領域及び第2導電型の半導体領域が形成された半導体基板上に絶縁膜を形成する工程と、上記絶縁膜のうちの上記第1導電型の半導体領域に対応する部分に第1の開口を形成する工程と、第1導電型の半導体膜を形成する工程と、上記第1導電型の半導体膜及び上記絶縁膜のうちの上記第2導電型の半導体領域に対応する部分に第2の開口を形成する工程と、第2導電型の半導体膜を形成する工程と、少なくとも上記第1導電型の半導体膜が露出するまで上記第2導電型の半

導体膜をエッチバックする工程と、導体膜を形成する工程と、上記導体膜及び上記第1導電型の半導体膜を少なくとも上記絶縁膜が露出するまでエッチングすることによりパターンニングを行う工程とを具備する。これによって、製造プロセスの簡略化を図ることができるとともに、配線の信頼性の向上を図ることができる。

(従来の技術)

半導体装置製造工程においては、アルミニウム(AI)などの配線と下地の半導体領域(拡散層)とを導通させる場合、層間絶縁膜に形成したコンタクトホールを通じてこの半導体領域に配線をコンタクトさせる。ところが、素子の微細化に伴いコンタクトホールの径が微細となったために、従来より用いられているスパッタ法のみでこのコンタクトホールの内部に配線を埋め込むことは困難となってきた。そこで、近年、このコンタクトホールの内部にCVD法により形成された金属を埋め込み、その上にAIなどの配線を形成する方法が

注目されている。その一つの方法として、タングステン(W)の選択CVD法によりコンタクトホールの内部にW膜を埋め込む方法が知られている。しかし、このWの選択CVD法は、絶縁膜上でのWの核成長を抑えるが難しいために十分な選択性が得られないなど、技術的に困難な面が多く、現状では確立された技術とは言えない。

そこで、最近では、Wよりは電圧が高いが膜の密着性や成長の容易さの面で優れている多結晶シリコン(Si)膜によるコンタクトホールの埋め込み法が注目されている。

なお、特開昭60-103646号公報には、半導体領域上に形成されたコンタクトホールの内部に気相成長法により半導体結晶を選択的に成長させ、この気相成長時に半導体領域中の不純物をこの半導体結晶中に拡散させることによりこの半導体結晶を半導体領域と同一導電型にするようにした半導体装置の製造方法が開示されている。

(発明が解決しようとする課題)

上述の従来の多結晶Si膜によるコンタクトホールの埋め込み法は、多結晶Si膜の抵抗がかなり高いため、コンタクトホールの内部に多結晶Si膜を埋め込んだ後にこの多結晶Si膜に不純物をイオン注入して低抵抗化する必要がある。このため、例えばCMOSLSIのように、半導体基板中に導電型の異なる半導体領域、例えばn型の半導体領域とp型の半導体領域とが存在し、これらの半導体領域にコンタクトホールを通じて配線をコンタクトさせる必要がある場合には、これらのコンタクトホールの内部に多結晶Si膜を埋め込んだ後、n型の半導体領域上のコンタクトホールの内部に埋め込まれた多結晶Si膜にはn型不純物を、またp型の半導体領域上のコンタクトホールの内部に埋め込まれた多結晶Si膜にはp型不純物をそれぞれ選択的にイオン注入する必要がある。従って、この場合には、二種のイオン注入と、n型不純物及びp型不純物をそれぞれ選択的にイオン注入するためのレジストパターンを形成するための2回のリソグラフィーとが必要である。このよ

うな理由により、従来の多結晶Si膜によるコンタクトホールの埋め込み法は、半導体装置の製造プロセスを複雑化させるという問題があった。

一方、配線としては、AI膜だけで構成したものや、バリアメタルとして例えば窒化チタン(TiN)膜及びチタン(Ti)膜を用いたAI/TiN/Tiの三层構造のものなどが用いられている。ところが、AI膜だけで構成した配線は、エレクトロマイグレーションなどにより断線しやすいという問題があった。また、上述のバリアメタルを用いた配線は、AI膜が断線しても下層のTiN/Ti膜の部分は電気的導通が保たれる場合もあるが、通常このTiN/Ti膜の膜厚は小さく、しかもTiNは高抵抗であるために、このTiN/Ti膜の部分を電流が流れたときにはジュール熱の発生が著しく、ときにはこの熱でこのTiN/Ti膜も断線し、配線は完全な断線に至ってしまうという問題があった。

本発明の目的は、導電型の異なる半導体領域上に形成された開口の内部に多結晶Si膜などの半導体膜を埋め込む場合において、製造プロセスの簡

略化を図ることができる半導体装置の製造方法を提供することにある。

本発明の他の目的は、導電型の異なる半導体領域上に形成された開口の内部に多結晶Si膜などの半導体膜を埋め込む場合において、配線信頼性の向上を図ることができる半導体装置の製造方法を提供することにある。

(課題を解決するための手段)

上記目的を達成するために、本発明は、半導体装置の製造方法において、第1導電型の半導体領域(4)及び第2導電型の半導体領域(5)が形成された半導体基板(1)上に絶縁膜(6)を形成する工程と、絶縁膜(6)のうちの第1導電型の半導体領域(4)に対応する部分に第1の開口(C₁)を形成する工程と、第1導電型の半導体膜(7)を形成する工程と、第1導電型の半導体膜(7)及び絶縁膜(6)のうちの第2導電型の半導体領域(5)に対応する部分に第2の開口(C₂)を形成する工程と、第2導電型の半導体

膜(8)を形成する工程と、少なくとも第1導電型の半導体膜(7)が露出するまで第2導電型の半導体膜(8)をエッチバックする工程と、導体膜(10)を形成する工程と、導体膜(10)及び第1導電型の半導体膜(7)を少なくとも絶縁膜(6)が露出するまでエッチングすることによりパターンニングを行う工程とを具備する。

(作用)

上記した手段によれば、第1の開口(C₁)及び第2の開口(C₂)の内部にそれぞれ第1導電型の半導体膜(7)及び第2導電型の半導体膜(8)を直接埋め込むことができるので、従来のようにこれらの第1の開口(C₁)及び第2の開口(C₂)の内部に半導体膜を埋め込んだ後にこの半導体膜の抵抗を下げるためにこの半導体膜に不純物をイオン注入する必要がなくなるとともに、第1の開口(C₁)及び第2の開口(C₂)の内部に埋め込まれた半導体膜にそれぞれ第1導電型の不純物及び第2導電型の不純物を選択的にイオ

ン注入するためのレジストパターンを形成する必要もなくなる。従って、従来必要であった二回のイオン注入と二回のリソグラフィとが不要となるので、その分だけ半導体装置の製造プロセスの簡略化を図ることができる。

また、導体膜(10)及び第1導電型の半導体膜(7)を少なくとも絶縁膜(6)が露出するまでエッチングすることにより、導体膜(10)及び第1導電型の半導体膜(7)から成る配線(11、12)が形成される。この場合、この配線(11、12)を構成する導体膜(10)がエレクトロマイグレーションやストレスマイグレーションなどにより断線したとしても、下層の第1導電型の半導体膜(7)が断線しない限り、この第1導電型の半導体膜(7)を流れて電流が流れることができることから、導体膜(10)が断線したとしても結果的に配線(11、12)は断線しないことになる。従って、この配線(11、12)は優れた耐エレクトロマイグレーション性及び耐ストレスマイグレーション性を有することになる。

これによって、配線の信頼性の向上を図ることができる。

(実施例)

以下、本発明の一実施例について図面を参照しながら説明する。この実施例は、本発明をCMOSLSIの製造に適用した実施例である。

第1図A～第1図Iは本発明の一実施例によるCMOSLSIの製造方法を示す。

この実施例においては、第1図Aに示すように、まず例えばn型Si基板のような半導体基板1中に例えばホウ素(B)のようなp型不純物をイオン注入することによりウェル2を形成する。次に、この半導体基板1の表面を選択的に熱酸化することにより例えばSiO₂膜のようなフィールド絶縁膜3を形成して素子間分離を行う。次に、このフィールド絶縁膜3で囲まれた活性領域の表面に例えば熱酸化により例えばSiO₂膜のようなゲート絶縁膜(図示せず)を形成する。次に、例えばCVD法により例えば多結晶Si膜を全面に形成し、

この多結晶Si膜に例えばリン(P)のようなn型不純物をイオン注入などによりドーピングして低抵抗化した後、この多結晶Si膜をエッチングにより所定形状にパターンニングしてゲート電極(図示せず)を形成する。なお、このゲート電極をポリサイド膜により構成する場合には、多結晶Si膜上に例えばモリブデンシリサイド(MoSi₂)膜のような高融点金属シリサイド膜を形成した後パターンニングを行う。次に、例えばまずpウエル2以外の部分の表面を例えばフォトレジスト(図示せず)で覆った状態でゲート電極をマスクとしてこのpウエル2中に例えばn₁のようなn型不純物をイオン注入することにより、このゲート電極に対して自己整合的に例えばn⁺型の半導体領域4及びゲート電極に関してこの半導体領域4と反対側に位置するn⁺型の半導体領域(図示せず)を形成する。この後、このフォトレジストを除去する。上記ゲート電極、半導体領域4及びゲート電極に関してこの半導体領域4と反対側に位置する半導体領域によりnチャネルMOSFET

が構成されている。次に、pウエル2の部分の表面を例えばフォトレジスト(図示せず)により覆った状態でゲート電極をマスクとして半導体基板1中に例えばBのようなp型不純物をイオン注入することにより、例えばp⁺型の半導体領域5及びゲート電極に関してこの半導体領域5と反対側に位置するp⁺型の半導体領域(図示せず)を形成する。この後、このフォトレジストを除去する。上記ゲート電極、半導体領域5及びゲート電極に関してこの半導体領域5と反対側に位置する半導体領域によりpチャネルMOSFETが構成されている。そして、このpチャネルMOSFETと上述のnチャネルMOSFETとによりCMOSが構成される。

次に第1図Bに示すように、例えばCVD法により全面に例えばSiO₂膜のような層間絶縁膜6を形成する。

次に第1図Cに示すように、この層間絶縁膜6のうちの半導体領域4に対応する部分を例えば反応性イオンエッチング(RIE)法により選択的

にエッチング除去することによりコンタクトホールC₁を形成する。

次に第1図Dに示すように、例えばCVD法により全面に例えばn型の多結晶Si膜7を形成する。この場合、コンタクトホールC₁の内部はこのn型多結晶Si膜7で埋められる。

次に第1図Eに示すように、このn型多結晶Si膜7及び層間絶縁膜6のうちの半導体領域5に対応する部分を例えばRIE法により選択的にエッチング除去することによりコンタクトホールC₂を形成する。

次に第1図Fに示すように、例えばCVD法により全面に例えばp型の多結晶Si膜8を形成する。この場合、コンタクトホールC₂の内部はこのp型多結晶Si膜8で埋められる。

次に、例えばRIE法によりp型多結晶Si膜8を少なくともn型多結晶Si膜7が露出するまでエッチバックする。これによって、第1図Gに示すように、n型多結晶Si膜7上のp型多結晶Si膜8が除去され、コンタクトホールC₂の内部にのみ

このp型多結晶Si膜8が残された状態となる。この後、半導体領域4、5や図示されていないその他の半導体領域中の不純物の電気的活性化を行うための熱処理を行う。

次に第1図Hに示すように、例えば蒸着法やスパッタ法により全面に例えばTiN膜9及びAl膜10を順次形成する。ここで、TiN膜9は、Al膜10と下地のn型多結晶Si膜7及びp型多結晶Si膜8との反応を防止するためのバリアメタルとして用いられる。

次に、Al膜10、TiN膜9及びn型多結晶Si膜7を例えばRIE法により少なくとも層間絶縁膜6が露出するまで順次異方性エッチングすることにより所定形状にパターンニングする。これによって、第1図Iに示すように、Al膜10、TiN膜9及びn型多結晶Si膜7から成り、n⁺型の半導体領域4に接続された配線11と、Al膜10、TiN膜9及びp型多結晶Si膜8から成り、p⁺型の半導体領域5に接続された配線12とが形成される。なお、これらの配線11、12を形成するた

めの上記R I Eの反応ガスとしては、Al膜10及びTiN膜9のエッチング 際には例えばBCl₃系ガスを用い、多結晶Si膜7のエッチングの際には例えばCHF₃系ガスを用いる。

以上のように、この実施例によれば、 n^+ 型の半導体領域4上のコンタクトホールC₁及び p^+ 型の半導体領域5上のコンタクトホールC₂の内部にそれぞれCVD法により形成された n 型多結晶Si膜7及び p 型多結晶Si膜8を埋め込んでいるので、従来のようにコンタクトホールの内部に多結晶Si膜を埋め込んだ後にこの多結晶Si膜にレジストパターンをマスクとして不純物を選択的にイオン注入することにより n 型化または p 型化する必要がなくなる。これによって、このレジストパターンを形成するためのリソグラフィやイオン注入が不要となり、その分だけ製造プロセスが簡略化される。

さらに、この実施例によれば、配線11、12はAl膜10、TiN膜9及び n 型多結晶Si膜7から成る三層構造を有するので、次のような利点がある。

第2図はAl膜10がエレクトロマイグレーションやストレスマイグレーションなどにより断線した状態を示し、第3図はその状態における配線12の平面形状を示す。第2図及び第3図に示すように、Al膜10が断線した場合においても、さらにはAl膜10ばかりでなくTiN膜9も同様に断線した場合においても、下層の n 型多結晶Si膜7を流れて図中矢印で示すように電流が流れることができるので、結果的に配線12は断線に至らないことがわかる。これは配線11についても同様である。これによって、これらの配線11、12は、耐エレクトロマイグレーション性や耐ストレスマイグレーション性に優れた高い信頼性を有し、結果としてLSIの信頼性の向上を図ることができる。なお、Al膜10の耐ストレスマイグレーション性は、このAl膜10が多結晶Si膜7、8の上に形成されているためにこのAl膜10に生じるストレスが緩和されることによって向上する。

以上、本発明の実施例につき具体的に説明したが、本発明は、上述の実施例に限定されるもので

はなく、本発明の技術的思想に基づく各種の変形が可能である。

例えば、上述の実施例においては、本発明をCMOSLSIの製造に適用した場合について説明したが、本発明は、例えばバイポーラーCMOSLSIの製造に適用することが可能であることは勿論、より一般的には源電型の異なる半導体領域上に形成されたコンタクトホールの内部に半導体膜を埋め込む全ての場合に適用することが可能である。

〔発明の効果〕

以上説明したように、本発明によれば、製造プロセスの簡略化を図ることができるとともに、配線の信頼性の向上を図ることができる。

4. 図面の簡単な説明

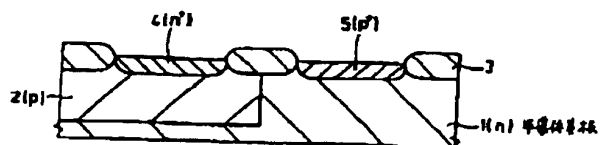
第1図A～第1図Iは本発明の一実施例によるCMOSLSIの製造方法を工程順に説明するための断面図、第2図は配線を構成するAl膜の断線が生じた状態を示す断面図、第3図は第2図に示

す状態における配線の平面図である。

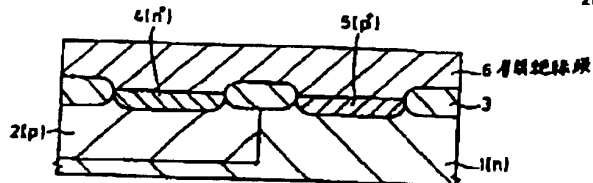
図面における主要な符号の説明

1: 半導体基板、 2: pウェル、 3: フィールド絶縁膜、 4、5: 半導体領域、 6: 層間絶縁膜、 7: n 型多結晶Si膜、 8: p 型多結晶Si膜、 9: TiN膜、 10: Al膜、 11、12: 配線。

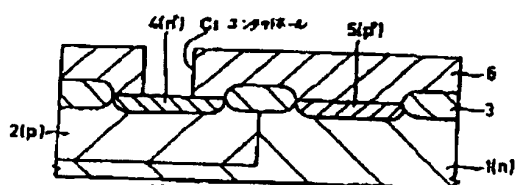
代理人 弁理士 杉 浦 正 知



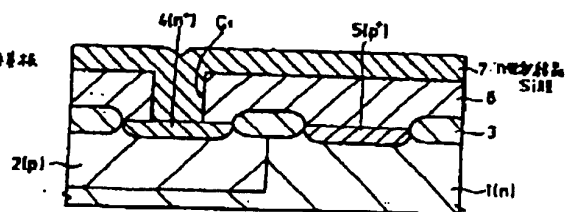
一実施例
第1図A



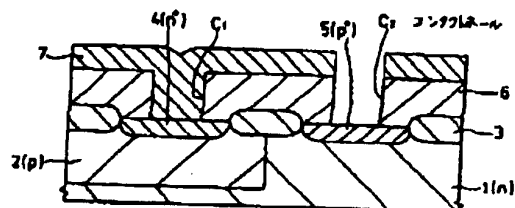
一実施例
第1図B



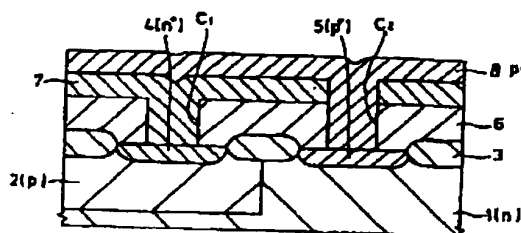
第1図C 実施例



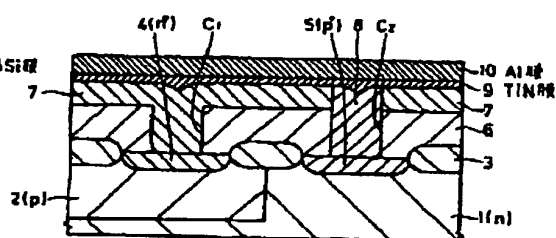
一実施例
第1図D



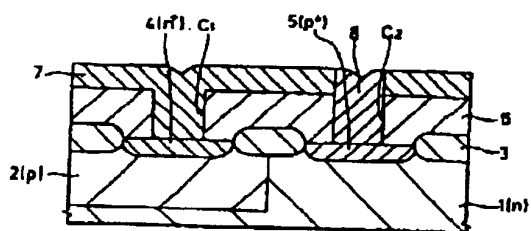
一実施例
第1図E



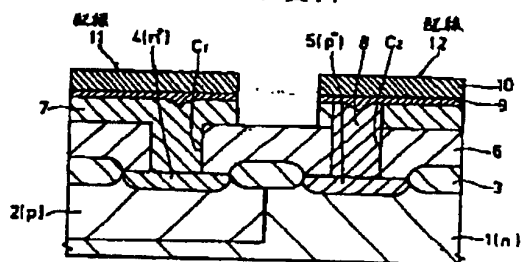
一実施例
第1図F



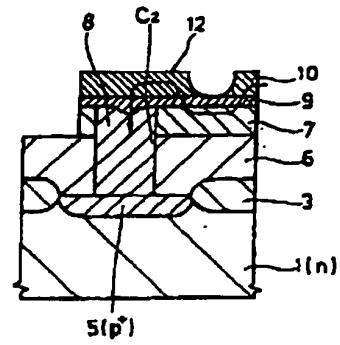
一実施例
第1図H



一実施例
第1図G

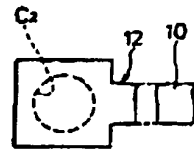


一実施例
第1図I



配線を構成するAl膜が時線した状態

第2図



配線の平面形状

第3図